

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP409106383A

DOCUMENT-IDENTIFIER: JP 09106383 A

TITLE: BUS SWITCHING DEVICE

PUBN-DATE: April 22, 1997

INVENTOR-INFORMATION:

NAME

WATABIKI, MITSUHIRO

MASUI, KOJI

ISHIKURA, HIDEJI

SUZUKI, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI PROCESS COMPUT ENG INC N/A

APPL-NO: JP07263848

APPL-DATE: October 12, 1995

INT-CL (IPC): G06F013/10, G06F013/36

ABSTRACT:

PROBLEM TO BE SOLVED: To shorten bus free standby time.

SOLUTION: Initiators A and B and targets A and B are connected through an SCSI cable to a bus switching device 10 and a bus is connected by switching circuits (1)12-(4)15 while monitoring and controlling bus possession and selection/ reselection from the respective initiators and targets by a bus switching control part 11. While the target A or B operates inputting/outputting with the other initiator, an input/output instruction is received from the initiator and stored by a target operating circuit and when the target completes the input/output operation, the stored input/output instruction is transferred to the target. The input/output instruction is held until the target completes that input/output instruction. When time-out is detected concerning the input/output operation, reset is issued to that target and afterwards, the stored input/output instruction is transferred to the target again.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-106383

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl. <sup>8</sup>	図別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/10	3 4 0		G 0 6 F 13/10	3 4 0 Z
13/36	3 1 0		13/36	3 1 0 D

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願平7-263848

(22) 出願日 平成7年(1995)10月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田河台四丁目6番地

(71) 出願人 000233158

日立プロセスコンピュータエンジニアリング株式会社

茨城県日立市大みか町5丁目2番1号

(72) 発明者 綿引 光宏

茨城県日立市大みか町五丁目2番1号 日立プロセスコンピュータエンジニアリング株式会社内

(74) 代理人 弁理士 小川 陽男

最末页に続く

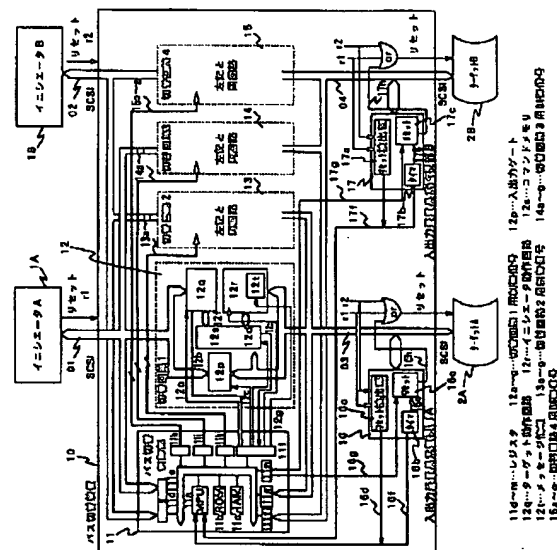
(54) 【発明の名称】 バス切替装置

(57) 【要約】

【課題】 バスフリー待ち時間を減少する。

【解決手段】 イニシエータA、同B及びターゲットA、同BはSCSIケーブルにて、バス切替装置に接続され、バス切替制御部にて各イニシエータ及びターゲットからのバス獲得及び選択/再選択を監視及び制御して、切替回路1~4にてバスの接続を行う。ターゲットAまたはBが他のイニシエータと入出力動作中であつた場合は、ターゲット動作回路にてイニシエータから入出力命令を受け取り記憶し、ターゲットが入出力動作を終了したならば、ターゲットに対して記憶した入出力命令を転送する。該入出力命令はターゲットがその入出力命令を終了するまで保持し、入出力動作についてタイムアウトを検出したならば、該ターゲットに対しリセットを発行後、記憶している入出力命令をターゲットに再転送する。

図 1



## 【特許請求の範囲】

【請求項1】複数の入出力制御装置と1つ以上の入出力装置を同一バスに接続し、前記入出力制御装置のバス獲得及び選択により入出力命令／データ転送等の入出力動作を行い、また入出力制御装置により選択された入出力装置がデータ転送を開始するまでに時間がかかる場合は一時的にバスを解放し、データ転送の準備が出来次第バスを獲得して該入出力制御装置の再選択を行った後データ転送を再開するように情報転送を行う前記入出力制御装置と前記入出力装置の間にあって、バスの接続を行う

バス切替装置において、前記複数の入出力制御装置の中から1つを選択して入出力装置と接続する手段と、他の入出力制御装置に対しては選択された入出力装置に代わって各入出力制御装置と入出力動作を行い、その入出力情報を記憶する手段と、前記入出力装置が入出力制御装置との情報転送を終了して非接続状態であることを検出する手段と、検出したならば該入出力装置を選択して、前記記憶した他の入出力制御装置からの入出力情報を転送する手段を有することを特徴とするバス切替装置。

【請求項2】請求項1において、接続される各入出力装置に対して情報転送を行う各入出力制御装置から転送される全ての入出力命令を、各入出力制御装置毎に記憶する手段と、各入出力装置の入出力命令の処理が完了したことを検出する手段と、入出力命令の処理完了時には記憶していた入出力命令を削除する手段と、入出力制御装置からのリセット発行を検出したならば、どの入出力制御装置からのリセットであるかを検出する手段と、該入出力装置に対してリセットを発行した入出力制御装置以外の記憶している入出力命令を再転送する手段を有することを特徴とするバス切替装置。

【請求項3】請求項2において、バス接続時の各入出力制御装置のバスプロトコル動作不能状態を検出する手段と、入出力装置に対しリセットを発行する手段を有することを特徴とするバス切替装置。

【請求項4】請求項3において、各入出力制御装置のバスプロトコル動作不能状態を検出したならば、各入出力装置へ該入出力制御装置からの未処理な入出力命令に対し入出力命令を取り消す手段を有することを特徴とするバス切替装置。

【請求項5】複数の入出力制御装置と1つ以上の入出力装置を同一バスに接続し、前記入出力制御装置のバス獲得及び選択により入出力命令／データ転送等の入出力動作を行い、また入出力制御装置により選択された入出力装置がデータ転送を開始するまでに時間がかかる場合は一時的にバスを解放し、データ転送の準備が出来次第バスを獲得して該入出力制御装置の再選択を行った後データ転送を再開するようなバスプロトコルにより情報転送を行う前記入出力制御装置と前記入出力装置の間にあって、バスの接続を行うバス切替装置によって構成される

計算機システムにおいて、

複数の入出力制御装置からの、ある入出力装置に対する選択の競合を検出する手段と、前記複数の入出力制御装置の中から1つを選択して該入出力装置と接続する手段と、他の入出力制御装置に対しては該入出力装置に代わって各入出力制御装置と入出力動作を行い、その入出力情報を記憶してバスを速やかに解放する手段と、前記入出力装置が入出力制御装置との情報転送を終了して非接続状態であることを検出する手段と、検出したならば該入出力制御装置に代わってバスを獲得後、該入出力装置を選択して、前記記憶した他の入出力制御装置からの入出力情報を転送する手段を有することを特徴とするバス切替装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の計算機で複数の外部記憶装置を共有するためのバス切替装置に関するものである。

## 【0002】

【従来の技術】複数の入出力制御装置（以下イニシエータと呼ぶ）が複数の入出力装置（以下ターゲットと呼ぶ）を選択し、情報交信を行うバスインターフェースの一つにANSIX3 131-1986で規格化されているSCSIがある。

## 【0003】

【発明が解決しようとする課題】本発明における第1の目的は、SCSIを利用して、各イニシエータのターゲットに対するアクセス効率を向上させる事である。

## 【0004】

本発明における第2の目的は、SCSIを利用して、ターゲットに対しイニシエータからリセットを発行出来るようにする事である。

## 【0005】

本発明における第3の目的は、SCSIを利用して、異常系に対するターゲットのリトライを防ぎ、正常系に影響を与えぬことである。

## 【0006】

【課題を解決するための手段】第1の目的を達成するための本発明の特徴は、複数のイニシエータからの、あるターゲットに対する選択の競合を検出する手段と、前記複数のイニシエータの中から1つを選択して該ターゲットと接続する手段と、他のイニシエータに対しては該ターゲットに代わって各イニシエータと入出力動作を行い、そのコマンドをキューイングしてバスを速やかに解放する手段と、前記ターゲットがイニシエータとの情報転送を終了して非接続状態であることを検出する手段と、検出したならば該イニシエータに代わってバスを獲得後、該ターゲットを選択して、前記キューイングした他のイニシエータからのコマンドを転送する手段を有することにある。

## 【0007】

さらに、第2の目的を達成するための本発明の特徴は、接続される各ターゲットに対して情報転送

を行う各イニシエータから転送される全てのコマンドを、各イニシエータ毎にキューイングする手段と、各ターゲットのコマンドの処理が完了したことを検出する手段と、コマンドの処理完了時にはキューイングしていたコマンドを削除する手段と、イニシエータからのリセット発行を検出したならば、どのイニシエータからのリセットであるかを検出する手段と、該ターゲットに対してリセットを発行したイニシエータ以外のキューイングしているコマンドを再転送する手段を更に有することにある。

【0008】さらにまた、第3の目的を達成するための本発明の特徴は、バス接続時の各イニシエータのバスプロトコル動作不能状態を検出する手段と、ターゲットに対しリセットを発行する手段を更に有することにある。

【0009】また、第3の目的を達成する手段に加えて、各イニシエータのバスプロトコル動作不能状態を検出したならば、各ターゲットへ該イニシエータからの未処理なコマンドに対しコマンドを取り消す手段を有してもよい。

【0010】

【発明の実施の形態】以下に、本発明の実施例を説明する。

【0011】まず、本発明において、利用されるSCSIについて説明する。

【0012】SCSIは、複数のイニシエータと複数のターゲットを同一バスケーブルでディジーチェーン接続し、両端に終端抵抗を設ける構成となる。

【0013】SCSIは、バスフリー、バス獲得（アービトレーション）、装置選択（セレクション）／再選択（リセクション）、情報転送の4つのフェーズからなる。まず、入出力動作を実行しようとする装置はバスが使用されていない状態であるバスフリーフェーズとなるのを待つ。バスフリーを検出したならばバス使用権を獲得する為にアービトレーションに入る。各装置にはバスを獲得する為に優先順位があり、アービトレーションフェーズではバス獲得を表明した最も優先順位の高い装置がバスを獲得する。バスを獲得した装置は入出力動作をさせたい装置を選択する。イニシエータがターゲットを選択することをセレクション、その逆の場合をリセクションフェーズと呼び、選択された装置からの応答後、情報転送フェーズとなり、入出力動作を行う。

【0014】各ターゲットは、情報転送フェーズにてイニシエータからコマンドを受け取りそのコマンドに従いデータ転送を行うが、応答準備に時間がかかる場合は、バスの使用効率を上げるため、速やかにバスを解放し（ディスコネクト）、準備が出来次第バスをアービトレーション後、コマンドを受け取ったイニシエータをリセクションし、情報転送を再開する。ディスコネクト中であっても、同一または他のイニシエータからのセレクションに対して応答し、コマンドを順次受け取り、記憶

して、順次コマンドに従い情報転送を行う（コマンドキューイング）。

【0015】このようにして、SCSIは同一バス上の複数のイニシエータで複数のターゲットを共有し、且つ効率良く情報転送を行うことを可能にしている。

【0016】上記の技術は、複数のイニシエータと複数のターゲットを同一バスケーブル上に接続して情報転送を行う為、

1. あるイニシエータとあるターゲットが入出力動作を行っている間は、他のイニシエータは前記入出力動作が終了するまで該ターゲットは勿論、他の空いているターゲットまでも使用することが出来ない。

【0017】2. バス使用効率を上げるためのターゲットが持っているコマンドキューイング機能は、ターゲットにリセットを発行するとそれまでキューイングしたコマンドは全てクリアされる。複数のイニシエータによりターゲットを共有する場合、ターゲットは本機能を用いて複数のイニシエータからのコマンドを記憶し、順次実行するが、あるイニシエータにより該ターゲットがリセットされると、前述のように他のイニシエータからのコマンドも全てクリアされてしまう。その場合、リセットを発行したイニシエータは即コマンドを再発行してリトライする事が出来るが、それ以外のイニシエータにはターゲットがリセットされたことを検出する手段が無く、ターゲットからのリセクションを待ち続け、その間イニシエータの処理がストップしてしまう。従って、容易にリセットを発行する事が出来ない。

【0018】3. 前記のコマンドキューイング機能を使用して複数のイニシエータによりターゲットを共有する場合、1つのイニシエータがターゲットと接続中に障害が発生して情報転送が出来なくなった場合、バスはビジー状態となりバス上に接続される他の装置はバスを使用することが出来なくなる。また、ターゲットとコマンド転送を終了し、リセクション待ち状態において1つのイニシエータに障害が発生しターゲットからのリセクションに回答出来なくなった場合、ターゲットはこの無応答のイニシエータに対してリトライを行う。リトライ回数は規格上では規定はないが、一般のSCSI入出力装置は最低でも1回以上はリトライを行う。SCSIでは1回のリセクションのタイムアウト時間を推奨250ミリ秒としている。その間ターゲット内では次コマンド処理が実行されず、またこのターゲットに対して他の正常なイニシエータからのアクセスが出来ない。

【0019】以下、これらを改善した点を説明する。

【0020】図2は、本発明を使用した1システム構成例である。複数のCPU（CPU1…CPU n）と複数のディスク装置（ディスクA、ディスクB…）及び本発明によるバス切替装置A、Bから構成され、信頼性向上の為、ディスク、バス切替装置は全て2重化、データは2重書きとする。

【0021】本実施例においては、これらのマルチシステム構成の最小構成である2インシエータ、2ターゲットによる構成を例に取り、以下図を用いて説明する。

【0022】図1は、本発明を実現するためのバス切替装置の内部構成の一例である。バス切替装置10はインシエータA、B（1A、1B）とターゲットA、B（2A、2B）との間に接続され、各装置間はSCSIケーブル01～04により接続される。バス切替装置内では各インシエータ毎にバスを分離してインシエータ同志のバスのぶつかりを無くしている。バス切替装置は、大別すると、バス切替制御部11、切替回路1～4（12～15）、入出力装置異常監視部A、B（16、17）とにより構成される。以下、前述の各機能について説明する。

【0023】バス切替制御部11は、バス切替装置に接続される各SCSI装置からのアービトレーション、セレクションまたはリセクションを監視してバスの接続、切り離しを制御する部分であり、MPU11a、ROM11b、RAM11c及びレジスタ11d～11mより構成される。レジスタ11eはインシエータAのバス、レジスタ11dはインシエータBのバスが、またレジスタ11gはターゲットAのバス、レジスタ11fはターゲットBのバスがそれぞれ接続されている。更に、レジスタ11h～11lは各々切替回路1～4の入出力命令用のレジスタ、レジスタ11mは後述のリセット発行要求用のレジスタである。MPUはROM内のマイクロプログラムにより制御され、各レジスタをアクセスしてバスの状態を監視し、レジスタ11h～11lを介して切替回路1～4を制御する。

【0024】切替回路1～4（12～15）はバス切替制御部からレジスタ11h～11lを介して与えられた命令によりインシエータとターゲット間のバスの接続、切り離しを行う部分であり、各インシエータがアクセスするターゲット数だけ設けられる。図1においては、インシエータAに対し切替回路1、3が、インシエータBには切替回路2、4が設けられている。切替回路1（12）は入出力ゲート12p、コマンドメモリ12s、ターゲット動作回路12q及びインシエータ動作回路12rにより構成される。入出力ゲート12pは、バス切替制御部のゲートイネーブル信号12cによりゲートのON/OFFを行い、SCSIバス01と03の接続、切り離しを行う。ターゲット動作回路12qは、実際のターゲットがインシエータのアクセスに対して応答する動作処理（プロトコル）を模擬した回路であり、バス切替制御部からの起動要求信号12aにより要求されたなら、インシエータのセレクションに応答し、以後SCSIのプロトコルに従いインシエータからのコマンドを受け取り、バスをディスコネクトする。インシエータから受け取ったコマンドは後述するコマンドメモリ12sに記憶してバス切替制御部にコマンド受領完了情報12b

を連絡する。インシエータ動作回路12rは前述のターゲット動作回路12qと同様に、インシエータの動作を模擬する回路でありバス切替制御部からの起動要求信号12fにより、アービトレーション、セレクションを実行してターゲットに前述で記憶したコマンドを転送する。また、インシエータ動作回路12rはターゲットに送信するためのメッセージ情報12tを持っており、バス切替制御部からのメッセージ発行要求信号12gによりコマンド転送と同様にターゲットに対して発行する。コマンドメモリ12sは、前述の様なケースも含めインシエータから発行されたコマンドを、インシエータ毎に全て記憶する部分である。コマンドメモリ12sに1つでもコマンドが記憶された場合コマンドキューイング信号12eによりバス切替制御部に対しコマンドメモリ内にコマンドが記憶されている事を認識させる。また、コマンドメモリ内の記憶されているコマンドはバス切替制御部からのコマンドメモリクリア信号12dによって消去される。切替回路2～4（13～15）も切替回路1（12）と同様の回路構成となっており、同様の動作を行い、各々バス切替制御部と信号13a～g、14a～g、15a～gで接続される。

【0025】入出力装置異常監視部A、Bは、それぞれターゲットA、ターゲットBのバス03、04の状態を監視して、ターゲットまたはインシエータの異常を検出する部分である。入出力装置異常監視部は、リセット検出部16a、タイマ16b、リセット出力回路16cから構成される。リセット検出部16aはインシエータからのリセットを検出してリセットを発行したインシエータを判別し、バス切替制御部のMPUに対し割込16dを発生させる。タイマ16bはターゲット～インシエータ間の情報転送時間を監視し、ある設定時間を超えた場合には後述のリセット出力回路にリセット発行要求16e後、バス切替制御部のMPUに割込16fを発生させる。タイマの設定時間はシステムによって設定が異なるが、そのシステムにおいてインシエータ～ターゲット間で実行される最大転送語数時の転送処理時間よりも大きな値に設定する。リセット出力回路16cは前述のタイマからのリセット発行要求16e及びバス切替制御部からのリセット発行要求16g受信によりターゲットに対してリセット（16h）を発行する。

【0026】次に、本バス切替装置の動作について図3～図6を用いて説明する。図3及び図4はインシエータ及びターゲットの一連の動作を表している。また、図6はバス切替制御部の処理フローである。

【0027】インシエータAからターゲットAをアクセスする場合、先ずインシエータAはバスの使用状態をチェックし、バスフリーを検出したならばアービトレーションフェーズに入り自分のIDを表明する（図6、F101）。アービトレーションに成功したならば続いてセレクションフェーズに移行し（図3（1））自分のID

とセレクトしたいターゲットのIDを表明する(図6、F102)。バス切替制御部はこの時点で接続元と接続先を認識し、接続先のバスをチェックする(図6、F103)。接続先のバスがフリーであった場合はバス切替制御部から切替回路1の入出力ゲート回路12pに対してイネーブル信号12cを出力してイニシエータAとターゲットAを接続(図3(2)、図6、F104)し、その後の処理はこれらの装置に任せる。この時の入出力動作にて発行されたイニシエータAからのコマンドAは、切替回路1内のコマンドメモリ12sへ記憶される。また、この状態(イニシエータAとターゲットAが接続中)で、イニシエータBからターゲットAに対してセレクションが発生した場合、前述のようにバス切替制御部は接続先(ターゲットA)のバスをチェックするが、ターゲットAは現在イニシエータAと接続中(バスフリーでは無い)の為、切替回路2のターゲット動作回路13qに起動要求13aを出力してイニシエータBと接続し(図6、F140~F141)、イニシエータBからコマンドBを受け取り、バスをディスコネクトする。受け取ったコマンドBは同切替回路2中のコマンドメモリ13sへ記憶して、バス切替制御部に対しコマンド受領完了情報13bを連絡し、処理を終了する。尚、本説明ではイニシエータAとターゲットAが接続時にイニシエータBからの接続要求(図3(3))が発生した場合の例であるが、同一タイミングで競合が発生した場合でも、前述と同様に一方は入出力ゲート回路にてターゲットに接続し、他方はターゲット動作回路を起動してコマンドを受け取り、速やかにバスを解放する。

【0028】図4に、前述の処理の続きを示す。本図は図3にてバス切替装置がターゲットAに代わって受け取ったコマンドをターゲットAに転送する動作を示している(図4(5))。これらの処理を実行するバス切替制御部の制御フローを図6に示す。切替回路2内のターゲット動作回路13qからのコマンド受領完了情報13bにより、コマンドメモリ内にコマンドBが記憶されたことを認識すると(図6、F142)、ターゲットAのバスをチェックし、バスフリーであれば、切替回路2内のイニシエータ動作回路13rに起動要求13fを出力する(図6、F143)。バス切替制御部からの起動要求13fによりイニシエータ動作回路13rはアービトレーションを行いターゲットAに対しセレクションを実行してターゲットAが応答したならば、コマンドメモリ13s内の記憶されているコマンドBを転送し、処理を終了する。

【0029】図5は、ターゲットAからイニシエータAへの再選択(図5(6)、リセレクション)を行い、イニシエータAと入出力動作中を表している。これらの処理を実行するバス切替制御部の制御フローを図6に示す。この場合も前述と同様にバス切替制御部は接続元と接続先を認識して、イニシエータAのバスをチェック

し、バスフリーであれば切替回路1の入出力ゲート回路12pをイネーブル12c(図6、F102~F104)としターゲットAとイニシエータAを接続する(図5(7))。その後の処理は装置間に任せるものとし、情報転送が終了し処理が正常であったことをメッセージによりバス切替制御部にて確認したならば、コマンドメモリクリア信号12dにて、コマンドメモリ内に記憶されている前述のコマンドを消去する(図6、F106~F107)。

10 【0030】次に、イニシエータまたはターゲットに異常が発生した場合のバス切替装置の処理について、前述のターゲットAのリコネクト処理を例に取り説明する。

【0031】はじめに、イニシエータがターゲットの異常を検出してターゲットにリセットを発行した場合の例を、図7及び図8を用いて説明する。図7は、ターゲットAがイニシエータAにリコネクト中に、イニシエータAがターゲットAの異常を検出してターゲットAにリセットR1を発行した状況を表している。図8は、図7の状況におけるバス切替制御部の処理フローである。

20 【0032】イニシエータAからターゲットAにリセットが出力されたことは入出力装置異常監視部Aのリセット検出部16aにて検出され、バス切替制御部に対しどのイニシエータから発行されたリセットであるかを報告する(16d)。バス切替制御部はこの報告を受けると、どのイニシエータからのリセットであるかを判定し(図8、F201)、イニシエータAからであることを確認したならば、イニシエータBに接続される切替回路2内に記憶されているコマンドがあるかどうかを、バス切替制御部内の切替回路2用のレジスタ11kをアクセスしコマンドキューイング信号13eがONであるかをチェックする(図8、F202)。本信号がONであれば、コマンドメモリ内にイニシエータBの未処理コマンドが有るため、前記レジスタ11kをアクセスして切替回路2内のイニシエータ動作回路13rに起動信号13fをONし(図8、F203)、コマンドメモリからターゲットAに再発行してやる。

30 【0033】次に、イニシエータ側の異常を検出した場合の例であるが、本処理には2つの方法があり、第1の方法を図9、図10及び図13を用いて説明する。図9は、ターゲットAがイニシエータAにリコネクト中に、情報転送に異常が発生し、バスを強制的に切り離す為に、バス切替装置からターゲットAにリセットを発行した状況を表している。図13は図9、図10の状況におけるバス切替制御部の処理フローを示す。

40 【0034】イニシエータAとターゲットA間の入出力動作時の異常検出は入出力装置異常監視部A内の監視タイマにて行われる。監視タイマはイニシエータとターゲット間の入出力転送が規定時間内に終了せず、またデータ転送がストップしたことを検出すると入出力装置異常監視部A内のリセット回路にてターゲットAに対してリ

セットを発行し、同時にバス切替制御部にタイムアウト検出の割込16fを入れる。バス切替制御部はこの割込が入るとターゲットAが現在リコネクト中のイニシエータをバス切替制御部内の各レジスタからの情報により確認し、バス切替制御部内の切替回路2用のレジスタ11kをアクセスしコマンドキューイング信号13eがONであるかをチェックする(図13、F301)。本信号がONであれば、前記レジスタ11kをアクセスして切替回路2内のイニシエータ動作回路に起動信号をONし(図13、F302)、イニシエータBの接続される切替回路2内に記憶されているコマンドB1を再発行してやる。また、これと同時に、ターゲットB内に異常が発生したイニシエータAからのコマンドがキューイングされていないかを切替回路3用のレジスタ11iをアクセスしてコマンドキューイング信号14eをチェックし(図13、F303)、イニシエータAのコマンドがキューイングされていたならば、そのコマンドを取り消す為の処理を行う。図10にその処理方法を示す。イニシエータAがターゲットBに接続される切替回路3内のコマンドメモリ14sにイニシエータAのコマンドが記憶されていたならば、バス切替制御部よりバス切替制御部内のレジスタ11mをアクセスして入出力装置異常監視部B内のリセット回路にリセット出力信号17gを送信して(図13、F304)ターゲットBをリセットし(R2)ターゲットB内のコマンドメモリにキューイングされている全内容を消去する。続いて正常系のイニシエータBがターゲットBに接続される切替回路4内のコマンドメモリ15sをレジスタ11hをアクセスしてイニシエータBのコマンドが記憶されていたならば(図13、F305)、前記と同様にレジスタ11hをアクセスして切替回路4内のイニシエータ動作回路15rに起動信号15fをONしてターゲットBにコマンドを再発行する(図13、F306)。

【0035】また、本実施例ではイニシエータ側の異常を検出する手段を、イニシエータ〜ターゲット間の入出力動作をタイマにて監視してそのタイムアウトによって行ったが、これは1つの例であり、例えばSCSIのターミネータパワーの信号を監視してイニシエータの電源がOFFしたかどうかを検出する手段もある。

【0036】さらに第2の方法としては、第1の方法にてターゲットにリセットを発行後にバス切替装置からコマンドを再発行する処理を、SCSIプロトコルのアボート機能を使用することによって同様の効果を得ることが出来る。アボート機能はイニシエータがターゲットに発行したコマンドを取り消す事が出来る機能で、イニシエータと実行中のコマンドまた、ターゲットがキューイング中のコマンドのどちらでも可能である。この機能はイニシエータとターゲット間のメッセージプロトコルにより行われる。

【0037】第2の方法を、図11及び図12を用いて

説明する。イニシエータAの異常を検出してバス切替制御部に割込16fを入れ、バス切替制御部が、異常が発生したイニシエータを認識するまでの処理は前記の方式1と同様である。イニシエータの異常を検出したバス切替制御部は切替回路1内のイニシエータ動作回路12rにイニシエータのコマンドアボート処理をメッセージアボート要求信号12gにて要求する(Ab1)。これを受けたイニシエータ動作回路12rはターゲットAのバスにアテンション信号を表明する。アテンションを表明されたターゲットAはイニシエータAからバスを切り離してアテンションを表明したイニシエータ(この場合はイニシエータ動作回路12r)からのメッセージを待っている為、イニシエータ動作回路にて作成したイニシエータAのコマンドアボートメッセージ12tをターゲットAに発行することによって、ターゲットAに対しては異常発生時のコマンドを、またターゲットBに対しては前記方式1と同様に切替回路3内のコマンドメモリ14sをチェックして、イニシエータAのコマンドが記憶されているならば、同様にアボートメッセージを発行して(Ab2)キューイング中のコマンドを取り消す事が出来る(図12)。

【0038】本方式のバス切替制御部の制御は、前記方式1とはほぼ同一の為、図13の制御フローに併記する。本図に示す様に、ステップF301〜F302の処理をF401に、またステップF304〜F306の処理をF402に変更する事によって本方式を実現する事が出来る。

【0039】バスの競合が発生した場合、1つのイニシエータのみをターゲットに接続し、他のイニシエータに対してはターゲットに代行してバス切替装置がSCSIのプロトコルに従いイニシエータに応答してコマンドを受け取る為、バス競合時による各イニシエータのバス使用待ち時間が消え、各イニシエータは他のターゲットへのアクセスができる。

【0040】従来ターゲットが持っているコマンドキューイング機能をバス切替装置内でも持つことにより、イニシエータからターゲットに対してリセットが発行され、それまでキューイングしていたコマンドが消去してしまった場合でも、バス切替装置からそのコマンドを再転送することで、イニシエータがターゲットからのリセクションを待ち続けることによる処理の停滞を防ぐ事が出来る。

【0041】バス切替装置にてイニシエータの異常を検出し、ターゲットがそのイニシエータのコマンドをキューイングしている場合は、バス切替装置からそのターゲットに対してリセットを発行してキューイング情報を消去し、正常系のまだ実行されていないコマンドを再転送することで、異常が発生したイニシエータへのターゲットのリセクションを防ぐ事が出来る。

【0042】バス切替装置にてイニシエータの異常を検



11

出し、ターゲットがそのイニシエータのコマンドをキューイングしている場合は、バス切替装置からそのターゲットに対してそのコマンドの取り消し処理を行うことで異常が発生したイニシエータへのターゲットのリセクションを防ぐ事が出来る。

【0043】

【発明の効果】本発明によれば、

(1) 複数のイニシエータにて1つ以上のターゲットを共有するようなマルチシステムにおいて、各イニシエータは他系のイニシエータとのバス獲得の競合によるバスフリー待ち時間が発生しない。

【0044】(2) 前記システム構成にて、他系に影響を与えずに、ターゲットに対してリセットを発行することが可能となる。

【0045】(3) 前記システム構成にて、あるイニシエータがターゲットと入出力動作中、またはそれ以外時に障害が発生し無応答状態となっても、他の正常系のターゲットアクセスに対して影響を与える事が無い。

【図面の簡単な説明】

【図1】本発明のバス切替装置の一実施例を示す構成図。

【図2】本発明のバス切替装置の一実施例を示すシステム構成図。

【図3】本発明の一実施例の動作を示す状態図(1)。

12

【図4】本発明の一実施例の動作を示す状態図(2)。

【図5】本発明の一実施例の動作を示す状態図(3)。

【図6】本発明の一実施例の動作を示すフローチャート(1)。

【図7】本発明の一実施例の動作を示す状態図(4)。

【図8】本発明の一実施例の動作を示すフローチャート(2)。

【図9】本発明の一実施例の動作を示す状態図(5)。

【図10】本発明の一実施例の動作を示す状態図

(6)。

【図11】本発明の一実施例の動作を示す状態図

(7)。

【図12】本発明の一実施例の動作を示す状態図

(8)。

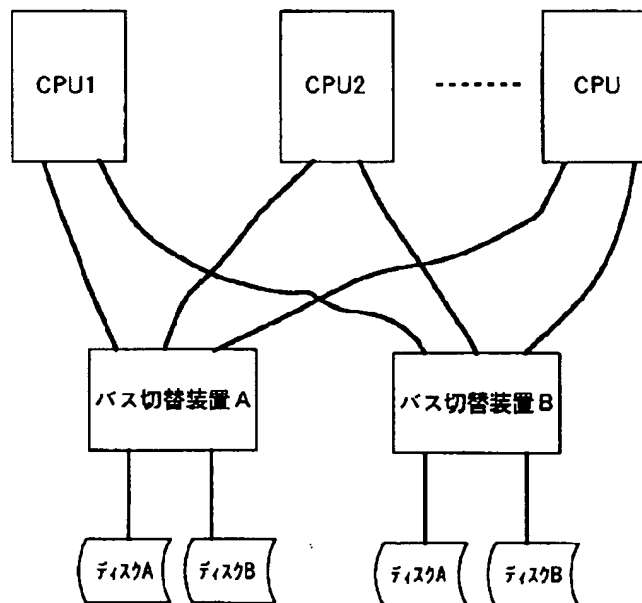
【図13】本発明のバス切替装置の一実施例の動作を示すフローチャート(3)。

【符号の説明】

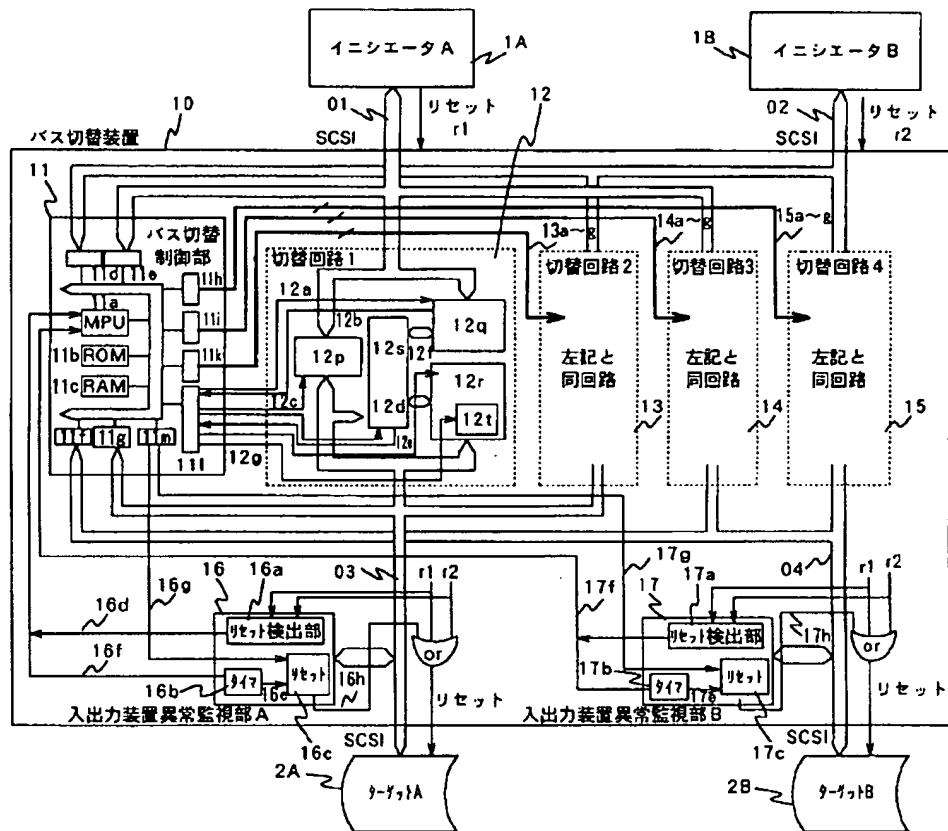
10…バス切替装置、11…バス切替制御部、12…切替回路1、13…切替回路2、14…切替回路3、15…切替回路4、16…入出力装置異常監視部A、17…入出力装置異常監視部B、1A…イニシエータA、1B…イニシエータB、2A…ターゲットA、2B…ターゲットB、01～04…SCSIケーブル。

【図2】

図 2



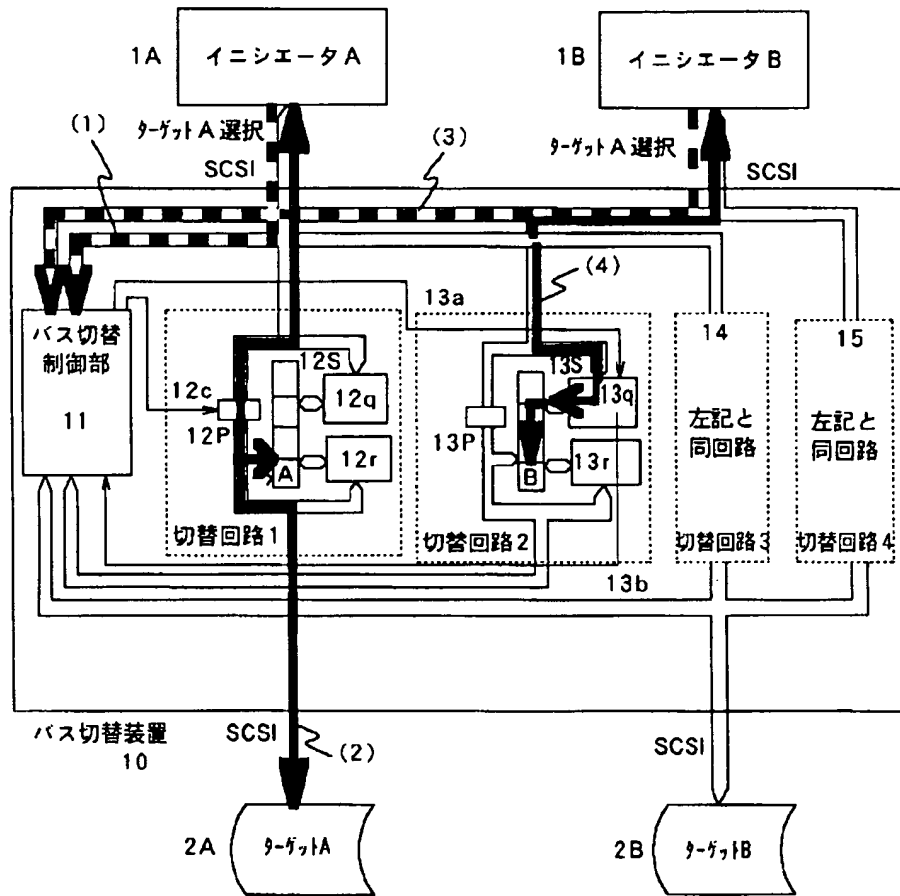
【図1】



11d~m...レジスタ    12a~g...切替回路1用制御信号    12p...入出力ゲート  
 12q...ターゲット動作回路    12r...イニシエータ動作回路    12s...コマンドメモリ  
 12t...メッセージ情報    13a~g...切替回路2用制御信号    14a~g...切替回路3用制御信号  
 15a~g...切替回路4用制御信号

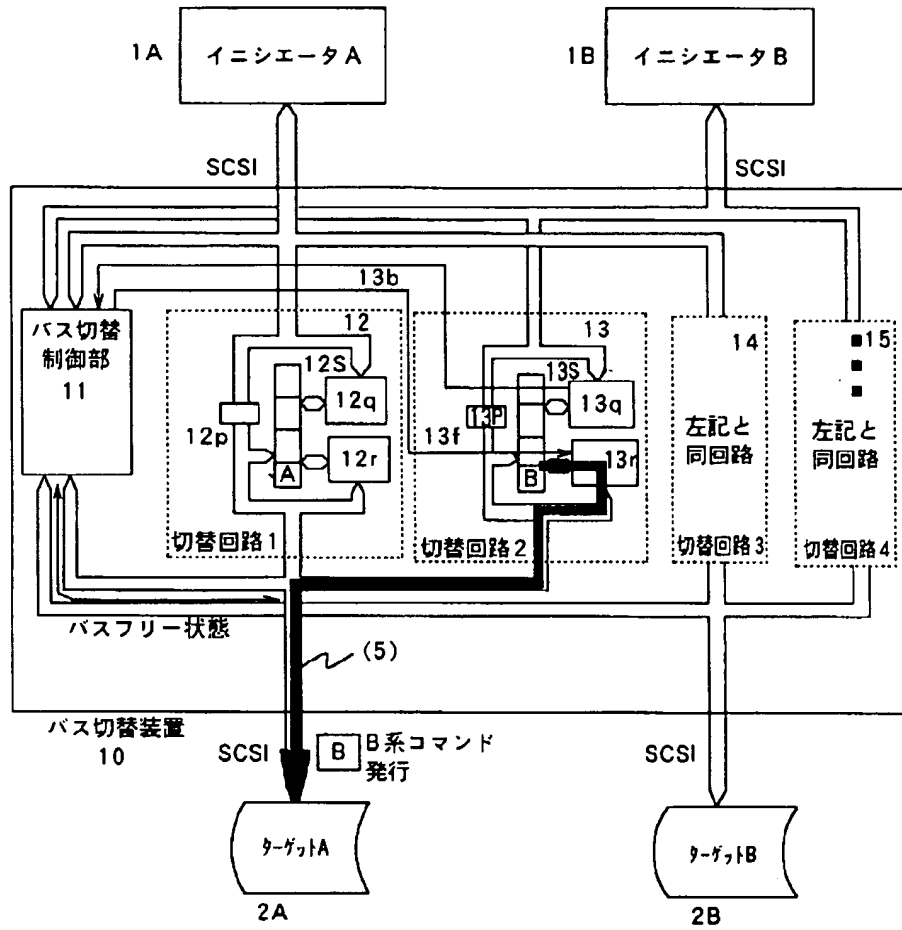
【図3】

図 3



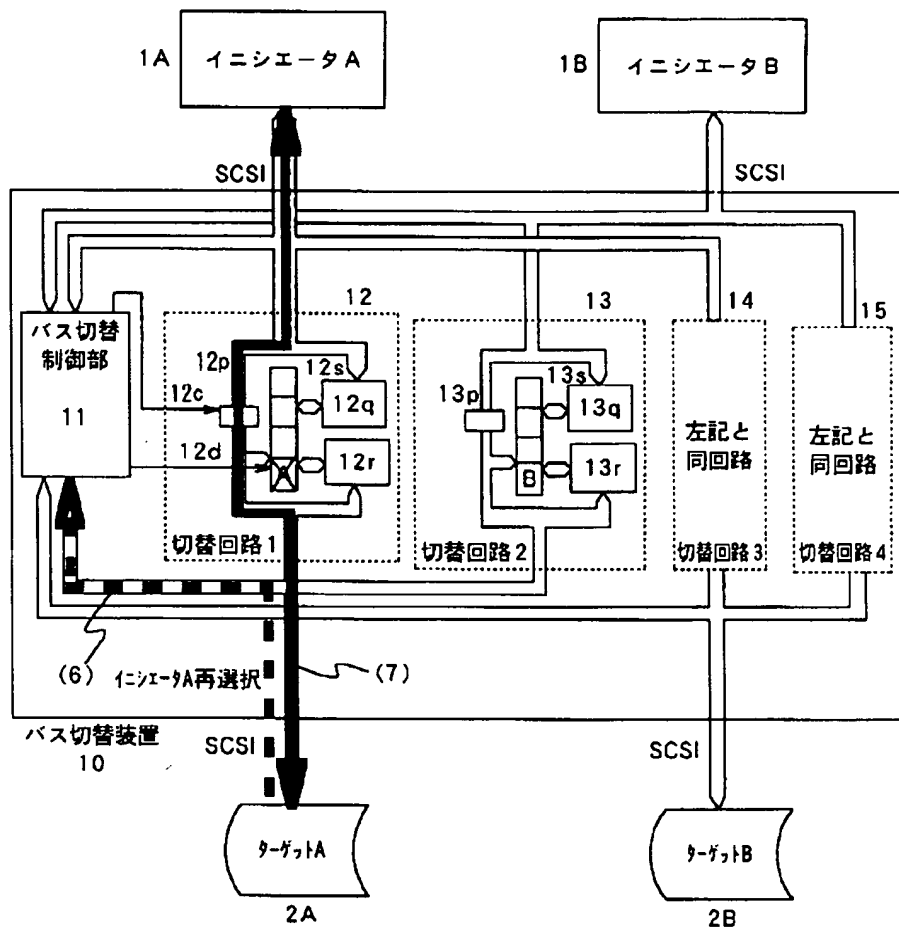
【図4】

図 4



【図5】

図 5



【図6】

図 6

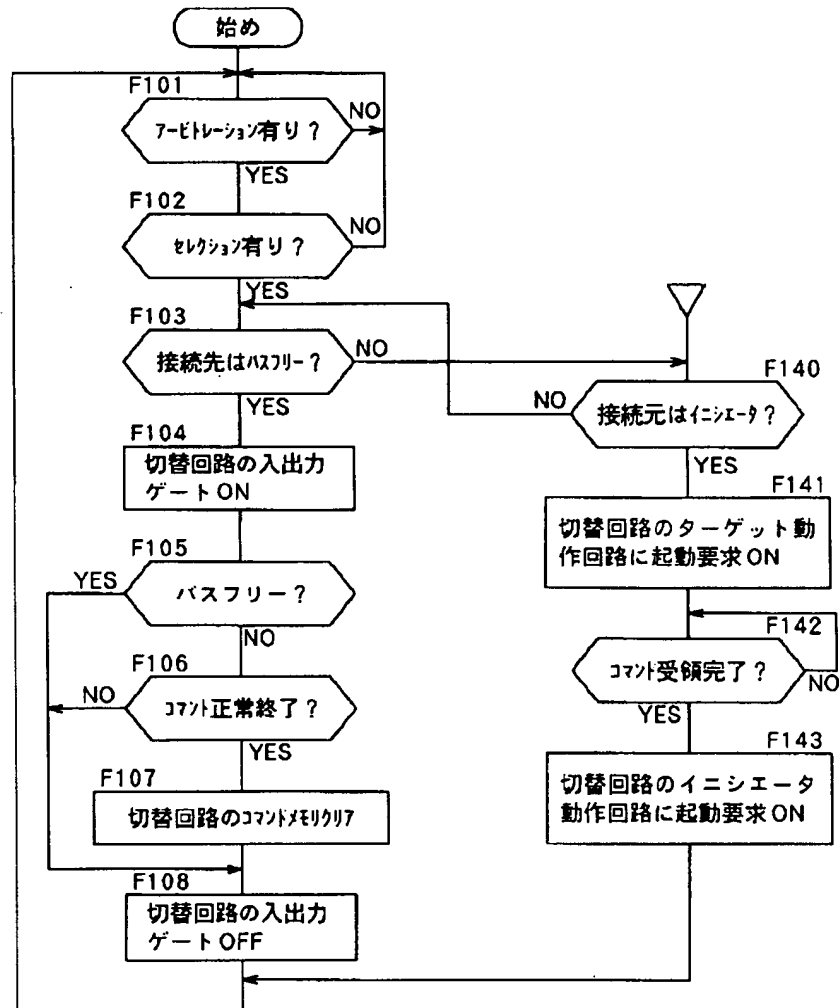


图 7



【図8】

図 8

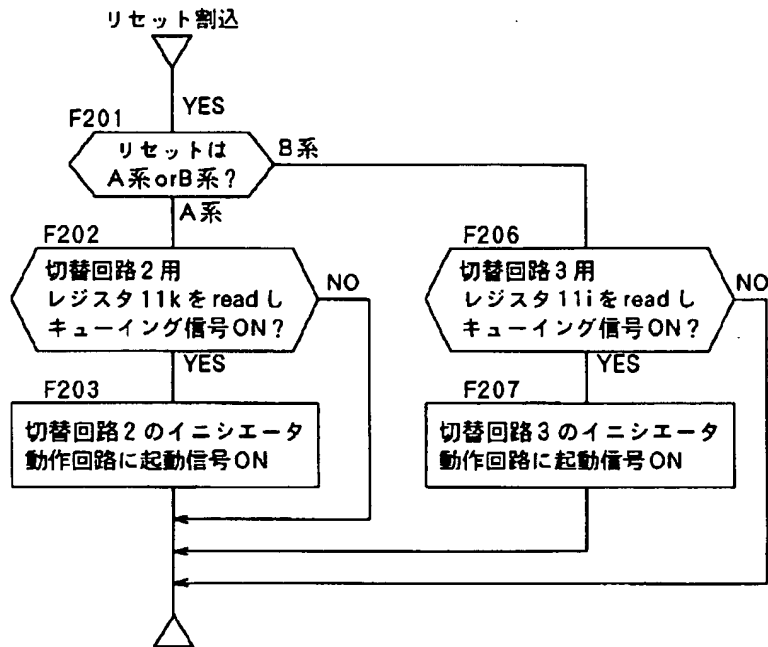




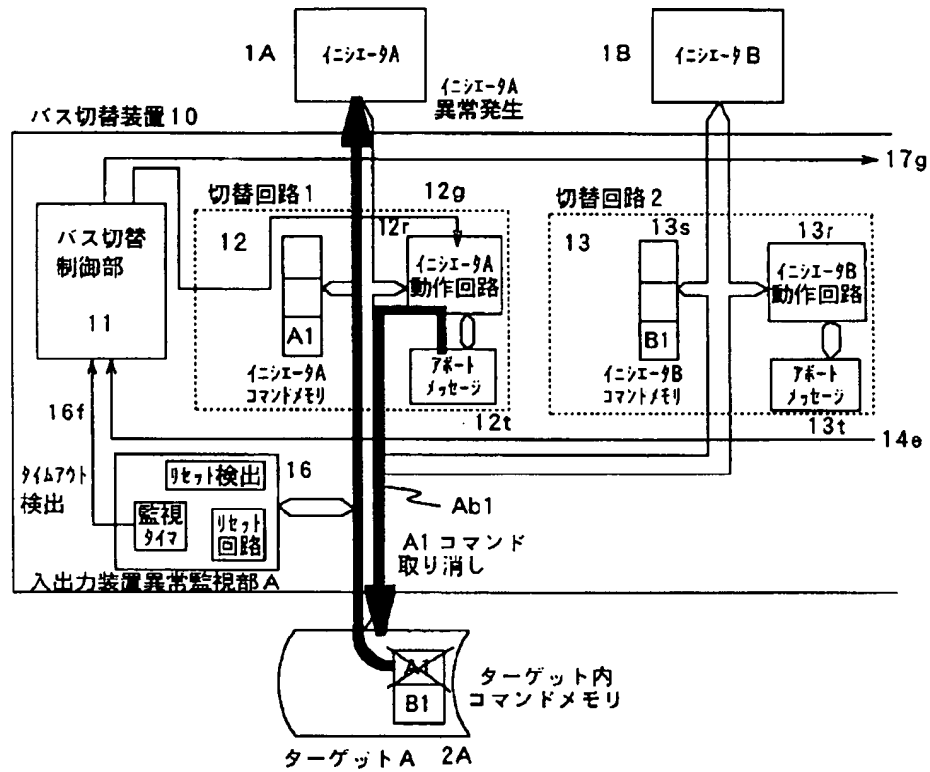


図 10



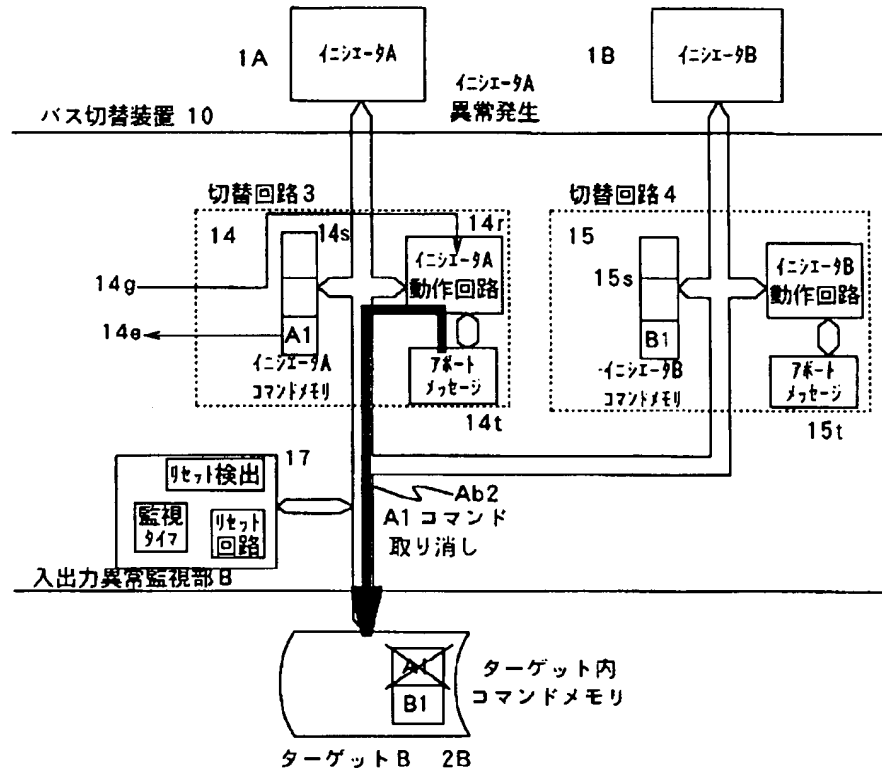
【図11】

図 11



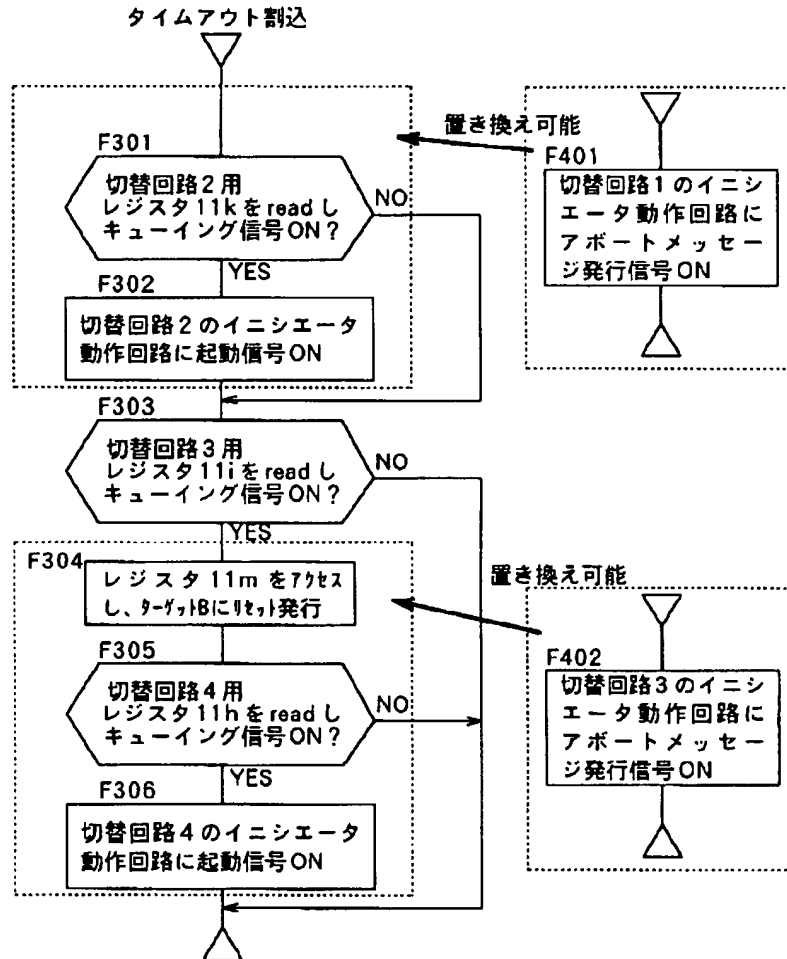
【図12】

図 12



【図13】

図 13



フロントページの続き

(72)発明者 梶井 晃二

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(72)発明者 石倉 秀司

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(72)発明者 鈴木 正浩

茨城県日立市大みか町五丁目2番1号 日  
立プロセスコンピュータエンジニアリング  
株式会社内

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Two or more input/output control units and one or more I/O devices are connected to the same bus. Bus acquisition and selection of said input/output control unit perform input/output operation, such as input/output instruction/data transfer. Moreover, before the I/O device chosen by the input/output control unit starts data transfer, when taking time amount, a bus is released temporarily. In the bus transfer device which said input/output control unit which performs information transfer, and said I/O device do so that data transfer may be resumed after gaining a bus and reselecting this input/output control unit, as soon as data transfer is ready, and connects a bus A means to choose one from said two or more input/output control units, and to connect with an I/O device, A means to perform each input/output control unit and input/output operation instead of the I/O device chosen to other input/output control units, and to memorize the I/O information, The bus transfer device characterized by having a means for said I/O device to end information transfer with an input/output control unit, and to detect that it is in a connectionless condition, and a means to choose this I/O device if it detects, and to transmit the I/O information from said input/output control unit of the memorized others.

[Claim 2] A means to memorize all the input/output instruction transmitted from each input/output control unit which performs information transfer to each I/O device connected in claim 1 for every input/output control unit, If a means to detect that processing of the input/output instruction of each I/O device was completed, a means to delete the input/output instruction which had memorized at the time of the completion of processing of input/output instruction, and the reset issue from an input/output control unit are detected The bus transfer device characterized by having a means to detect the reset from which input/output control unit it is, and a means to re-transmit the input/output instruction which has memorized other than the input/output control unit which published reset to this I/O device.

[Claim 3] The bus transfer device characterized by having a means to detect bus protocol actuation disabling of each input/output control unit at the time of a bus connection, and a means to publish reset to an I/O device, in claim 2.

[Claim 4] The bus transfer device which will be characterized by having the means which cancels input/output instruction to the unsettled input/output instruction from this input/output control unit to each I/O device in claim 3 if bus protocol actuation disabling of each input/output control unit is detected.

[Claim 5] Two or more input/output control units and one or more I/O devices are connected to the same bus. Bus acquisition and selection of said input/output control unit perform input/output operation, such as input/output instruction/data transfer. Moreover, before the I/O device chosen by the input/output control unit starts data transfer, when taking time amount, a bus is released temporarily. Said input/output control unit which performs information transfer with a bus protocol which resumes data transfer after gaining a bus and reselecting this input/output control unit, as soon as data transfer is ready, and said I/O device do. In the computing system constituted with the bus transfer device which connects a bus A means to detect the contention of selection to a certain I/O device from two or more input/output control units, A means to choose one from said two or more input/output control units, and

to connect with this I/O device, A means to perform each input/output control unit and input/output operation instead of this I/O device to other input/output control units, to memorize the I/O information, and to release a bus promptly, A means for said I/O device to end information transfer with an input/output control unit, and to detect that it is in a connectionless condition, The bus transfer device characterized by choosing this I/O device after gaining a bus instead of this input/output control unit if it detects, and having a means to transmit the I/O information from said input/output control unit of the memorized others.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the bus transfer device for sharing two or more external storage by two or more calculating machines.

[0002]

[Description of the Prior Art] Two or more input/output control units (it is called an initiator below) choose two or more I/O devices (it is called a target below), and there is SCSI standardized by ANSI X3 131-1986 by one of the bus interfaces which performs information communication.

[0003]

[Problem(s) to be Solved by the Invention] The 1st purpose in this invention is raising the access efficiency over the target of each initiator using SCSI.

[0004] The 2nd purpose in this invention is enabling it to publish reset from an initiator to a target using SCSI.

[0005] The 3rd purpose in this invention is preventing the retry of the target to an abnormality system and not affecting a normal system using SCSI.

[0006]

[Means for Solving the Problem] The description of this invention for attaining the 1st purpose A means to detect the contention of selection to a certain target from two or more initiators, A means to choose one from said two or more initiators, and to connect with this target, A means to perform each initiator and input/output operation instead of this target to other initiators, to carry out the queuing of the command, and to release a bus promptly, A means for said target to end information transfer with an initiator, and to detect that it is in a connectionless condition, It is in choosing this target after gaining a bus instead of this initiator, if it detects, and having a means to transmit the command from said initiator of the others which carried out the queuing.

[0007] Furthermore, the description of this invention for attaining the 2nd purpose The means which carries out the queuing of all the commands transmitted from each initiator which performs information transfer to each target connected for every initiator, If a means to delete the command which was carrying out the queuing of processing of the command of each target having been completed to a means to detect, at the time of the completion of processing of a command, and the reset issue from an initiator are detected It is in having further a means to detect the reset from which initiator it is, and a means to re-transmit the command which is carrying out the queuing of [ other than the initiator which published reset to this target ].

[0008] The description of this invention for attaining the 3rd purpose is further again to have further a means to detect bus protocol actuation disabling of each initiator at the time of a bus connection, and a means to publish reset to a target.

[0009] Moreover, if bus protocol actuation disabling of each initiator is detected in addition to a means to attain the 3rd purpose, you may have the means which cancels a command to the unsettled command from this initiator to each target.



[0010]

[Embodiment of the Invention] Below, the example of this invention is explained.

[0011] First, SCSI used is explained in this invention.

[0012] SCSI makes daisy chain connection of two or more initiators and two or more targets with the same bus cable, and serves as the configuration of preparing a terminator in both ends.

[0013] SCSI consists of four phases, a bus free-lancer, bus acquisition (Arbitration), a device selector (selection)/reselection (reselection), and information transfer. First, it waits for the equipment which is going to perform input/output operation to serve as a bus free phase which is in the condition that the bus is not used. If a bus free-lancer is detected, in order to acquire a bus royalty, it goes into an Arbitration. In order to gain a bus to each equipment, there is priority, and in an Arbitration phase, the equipment with the highest priority which expressed bus acquisition gains a bus. The equipment which gained the bus chooses the equipment to which input/output operation is carried out. It comes it selection that an initiator chooses a target, a reselection phase, and the information transfer phase after answering from a call and selected equipment come that case of being reverse, and input/output operation is performed.

[0014] Although each target receives a command from an initiator in an information transfer phase and performs data transfer according to the command, when response preparation takes time amount, in order that it may gather the utilization ratio of a bus, it releases a bus promptly (disconnection), immediately after being ready, it carries out the reselection of the initiator which received the command for the bus after the Arbitration, and resumes information transfer. Even if it is under disconnection, it answers to the selection from the initiator of the same or others, and a command is received one by one, is memorized, and information transfer is performed according to a command one by one (command queuing).

[0015] Thus, SCSI shares two or more targets by two or more initiators on the same bus, and it makes it possible to perform information transfer efficiently.

[0016] In order for the above-mentioned technique to connect two or more initiators and two or more targets on the same bus cable and to perform information transfer, while the initiator 1. Existing and a certain target are performing input/output operation, even the target as for which others are vacant cannot use other initiators as well as this target until said input/output operation is completed.

[0017] 2. If the command-queuing function which the target for gathering a bus utilization ratio has publishes reset at a target, all the commands that carried out the queuing till then will be cleared. When sharing a target by two or more initiators, a target memorizes and carries out sequential execution of the command from two or more initiators using this function, but if this target is reset by a certain initiator, all the commands from other initiators will also be cleared as mentioned above. In that case, although the initiator which published reset can carry out the recurrence line of the \*\* command and can carry out a retry, there is no means to detect that the target was reset in the other initiator, it will continue waiting for the reselection from a target, and processing of an initiator will stop it in the meantime. Therefore, reset cannot be published easily.

[0018] 3. When a failure occurs [ one initiator ] during connection with a target when a target is shared by two or more initiators using the aforementioned command-queuing function, and information transfer becomes impossible, it becomes impossible for other equipments which a bus will be in a busy condition and are connected on a bus to use a bus. Moreover, a target and a command transfer are ended, and when a failure occurs in one initiator in a reselection waiting state and it becomes impossible to answer a reselection from a target, a target performs a retry to the initiator of this no response. Although a convention does not have a count of a retry on specification, also at the lowest, a common SCSI I/O device performs a retry once or more. In SCSI, time-out time amount of one reselection is made into the recommendation 250 ms. Within a target, degree command processing is not performed and access from other normal initiators cannot be performed to this target in the meantime.

[0019] Hereafter, the point of having improved these is explained.

[0020] Drawing 2 is the example of 1 system configuration which used this invention. It consists of two or more CPUs (CPU1 -- CPU<sub>n</sub>), two or more disk units (Disk A, disk B--), and bus transfer devices A

and B by this invention, and for the improvement in dependability, let a disk and a bus transfer device as duplex-ization, and let data be double writing altogether.

[0021] In this example, the configuration by two initiators and two targets which are the minimum configuration of these multisystem configurations is taken for an example, and it explains using a Fig. below.

[0022] Drawing 1 is an example of the internal configuration of the bus transfer device for realizing this invention. It connects between Initiators A and B (1A, 1B) and Targets A and B (2A, 2B), and the bus transfer device 10 is connected by the SCSI cables 01-04 between each equipment. Within the bus transfer device, the loan which separates a bus for every initiator and an initiator comrade's bus beats is abolished. When a bus transfer device is divided roughly, it is constituted by the bus change control section 11, electronic switches 1-4 (12-15), and the abnormality Monitoring Department A and B (16 17) in an I/O device. Hereafter, each above-mentioned function is explained.

[0023] The bus change control section 11 is a part which supervises the Arbitration, the selection, or the reselection from each SCSI devices connected to a bus transfer device, and controls connection of a bus and separation, and consists of MPU11a, ROM11b, RAM11c, and registers 11d-11m. Bus [ of Initiator A ], and register 11d, the bus of Initiator B is connected register 11g, and, as for register 11e, the bus of Target B is connected, respectively, as for bus [ of Target A ], and register 11f. Furthermore, Registers 11h-11i. are a register for the input/output instruction of electronic switches 1-4, and a register for the reset issue demand of the after-mentioned [ register 11m ] respectively. MPU is controlled by the micro program in ROM, it accesses each register, supervises the condition of a bus, and controls electronic switches 1-4 through Registers 11h-11i.

[0024] Electronic switches 1-4 (12-15) are parts which perform connection of the bus between an initiator and a target, and separation with the instruction given through Registers 11h-11i. from the bus change control section, and only the number of targets which each initiator accesses is prepared. In drawing 1 , electronic switches 2 and 4 are established for electronic switches 1 and 3 in Initiator B to Initiator A. An electronic switch 1 (12) is constituted by target actuation circuit 12q and initiator actuation circuit 12r I/O gate 12p and command memory 12s. I/O gate 12p performs ON/OFF of the gate by gate enable signal 12c of a bus change control section, and performs connection of the SCSI buses 01 and 03 and separation. Target actuation circuit 12q is the circuit which simulated the processing (protocol) of operation which an actual target answers to access of an initiator, if required by activate request signal 12a from a bus change control section, will answer the selection of an initiator and will disconnect reception and a bus for the command from an initiator according to a SCSI protocol henceforth. The command received from the initiator is memorized at command memory 12s mentioned later, and connects completion information of command receipt 12b to a bus change control section. Initiator actuation circuit 12r transmits the command which was the circuit which simulates actuation of an initiator, performed an Arbitration and selection and was memorized by the above-mentioned at the target like the above-mentioned target actuation circuit 12q by 12f of activate request signals from a bus change control section. Moreover, initiator actuation circuit 12r has 12t of message information for transmitting to a target, and publishes it to a target like a command transfer by 12g of message issue demand signals from a bus change control section. Command memory 12s is a part which memorizes altogether the command published from the initiator also including the above cases for every initiator. When at least one command is memorized at command memory 12s, it is made to recognize that the command is memorized by command-queuing signal 12e in command memory to a bus change control section. Moreover, the command with which it memorizes in command memory is eliminated by 12d of command memory clear signals from a bus change control section. Electronic switches 2-4 (13-15) also serve as the same circuitry as an electronic switch 1 (12), same actuation is performed, and it connects with a bus change control section respectively by signal 13 a-g, 14 a-g, and 15 a-g.

[0025] The abnormality Monitoring Department A and B in an I/O device is a part which supervises the condition of the buses 03 and 04 of Target A and Target B, respectively, and detects the abnormalities of a target or an initiator. The abnormality Monitoring Department in an I/O device consists of reset detecting-element 16a, timer 16b, and reset output circuit 16c. Reset detecting-element 16a distinguishes

the initiator which detected the reset from an initiator and published reset, and generates 16d of interrupts to MPU of a bus change control section. Timer 16b supervises the information transfer time amount between a target - an initiator, and when a certain setup time is exceeded, it makes the below-mentioned reset output circuit generate 16f of interrupts in MPU of a bus change control section after reset issue demand 16e. The setup time of a timer is set as a bigger value than the transfer processing time at the time of the number of the maximum transfer words performed between an initiator - a target in the system, although a setup changes with systems. Reset output circuit 16c publishes reset (16h) to a target by 16g reception of reset issue demands from reset issue demand 16e from the above-mentioned timer, and a bus change control section.

[0026] Next, actuation of this bus transfer device is explained using drawing 3 - drawing 6. Drawing 3 and drawing 4 express a series of actuation of an initiator and a target. Moreover, drawing 6 is the processing flow of a bus change control section.

[0027] First, when accessing Target A from Initiator A, if Initiator A checks the busy condition of a bus and detects a bus free-lancer, it will enter at an Arbitration phase and will express its ID ( drawing 6 , F101). If it succeeds in an Arbitration, it will shift to a selection phase continuously, and their ( drawing 3 (1)) ID and ID of a target to select are expressed ( drawing 6 , F102). A bus change control section recognizes a connection place a connecting agency at this time, and checks the bus of a connection place ( drawing 6 , F103). When the bus of a connection place is free, enable signal 12c is outputted from a bus change control section to I/O gate circuit 12p of an electronic switch 1, and Target A is connected with Initiator A ( drawing 3 (2), drawing 6 , F104), and he leaves subsequent processing to these equipments. The command A from the initiator A published in the input/output operation at this time is memorized to command memory 12s in an electronic switch 1. Moreover, although a bus change control section checks the bus of a connection place (target A) as mentioned above when selection occurs from Initiator B to Target A in this condition (Initiator A and Target A under connection) It is under [ connection / with the current initiator A ] sake (there is nothing in a bus free-lancer), Target A Activate request 13a is outputted to target actuation circuit 13q of an electronic switch 2, it connects with Initiator B ( drawing 6 , F140-F141), and reception and a bus are disconnected for Command B from Initiator B. The received command B is memorized to command memory 13s in this electronic switch 2, connects completion information of command receipt 13b to a bus change control section, and ends processing. in addition -- the case where contention occurs to the same timing although Initiator A and Target A were examples when the connection request ( drawing 3 (3)) from Initiator B occurs at the time of connection in this explanation -- the above-mentioned -- the same -- on the other hand, an I/O gate circuit -- a target -- connecting -- another side -- a target actuation circuit -- starting -- a command -- reception -- a bus is released promptly.

[0028] A continuation of the above-mentioned processing is shown in drawing 4. This Fig. shows the actuation which transmits the command which the bus transfer device received instead of Target A in drawing 3 to Target A ( drawing 4 (5)). The flows of control of the bus change control section which performs these processings are shown in drawing 6. If it recognizes that Command B was memorized in command memory by completion information of command receipt 13b from target actuation circuit 13q in an electronic switch 2 ( drawing 6 , F142), the bus of Target A is checked, and if it is a bus free-lancer, 13f of activate requests will be outputted to initiator actuation circuit 13r in an electronic switch 2 ( drawing 6 , F143). If initiator actuation circuit 13r performs an Arbitration by 13f of activate requests from a bus change control section, selection is performed to Target A and Target A answers, the command B with which it memorizes in command memory 13s will be transmitted, and processing will be ended.

[0029] Drawing 5 performs reselection ( drawing 5 (6), reselection) to Initiator A from Target A, and expresses under Initiator A and input/output operation. The flows of control of the bus change control section which performs these processings are shown in drawing 6. Also in this case, like the above-mentioned, a bus change control section recognizes a connection place a connecting agency, the bus of Initiator A is checked, if it is a bus free-lancer, I/O gate circuit 12p of an electronic switch 1 will be set to enabling 12c ( drawing 6 , F102-F104), and Initiator A will be connected with Target A ( drawing 5

(7)). If you shall leave subsequent processing between equipment, information transfer is completed and it checks by the message that processing has been normal in a bus change control section, the above-mentioned command memorized in command memory by 12d of command memory clear signals will be eliminated ( drawing 6 , F106-F107).

[0030] Next, processing of a bus transfer device when abnormalities occur at an initiator or a target is explained taking the case of reconnection processing of the above-mentioned target A.

[0031] An example when first an initiator detects the abnormalities of a target and publishes reset at a target is explained using drawing 7 and drawing 8 . Drawing 7 expresses the situation that Initiator A detected the abnormalities of Target A and Target A published reset R1 at Target A during reconnection at Initiator A. Drawing 8 is the processing flow of the bus change control section in the situation of drawing 7 .

[0032] It reports whether that reset was outputted to Target A from Initiator A is the reset which was detected in reset detecting-element 16a of the abnormality Monitoring Department A in an I/O device, and was published from which initiator to the bus change control section (16d). If it judges the reset from which initiator a bus change control section is when this report is received ( drawing 8 , F201) and checks that it is from Initiator A, register 11k for electronic switch 2 in a bus change control section will be accessed any command memorized in the electronic switch 2 connected to Initiator B to be, and it will be confirmed whether command-queuing signal 13e is ON ( drawing 8 , F202). If this signal is ON, since the unsettled command of Initiator B is in command memory, said register 11k is accessed, 13f of seizing signals is turned on in initiator actuation circuit 13r in an electronic switch 2 ( drawing 8 , F203), and a recurrence line is carried out to Target A from command memory.

[0033] Next, although it is an example at the time of detecting the abnormalities by the side of an initiator, there are two approaches in this processing and the 1st approach is explained using drawing 9 , drawing 10 , and drawing 13 . Drawing 9 expresses the situation of having published reset at Target A from the bus transfer device, in order to occur Target A in Initiator A, and for abnormalities to occur in information transfer during reconnection and to separate a bus compulsorily. Drawing 13 shows the processing flow of drawing 9 and the bus change control section in the situation of drawing 10 .

[0034] Malfunction detection at the time of the input/output operation between Initiator A and Target A is performed in the watchdog timer in the abnormality Monitoring Department A in an I/O device. If what the I/O transfer between an initiator and a target was not completed in convention time amount, and data transfer stopped the watchdog timer for is detected, reset will be published to Target A in the reset circuit in the abnormality Monitoring Department A in an I/O device, and 16f of interrupts of time-out detection will be put into coincidence at a bus change control section. If, as for a bus change control section, this interrupt enters, Target A will check the initiator under present reconnection using the information from each register in a bus change control section, register 11k for electronic switch 2 in a bus change control section will be accessed, and command-queuing signal 13e confirms whether to be ON ( drawing 13 , F301). If this signal is ON, said register 11k will be accessed, a seizing signal will be turned on in the initiator actuation circuit in an electronic switch 2 ( drawing 13 , F302), and the recurrence line of the command B1 memorized in the electronic switch 2 where Initiator B is connected will be carried out. Moreover, if register 11i for electronic switch 3 was accessed the queuing of the command from the initiator A which could come, simultaneously abnormalities generated in Target B not to be carried out, command-queuing signal 14e was checked ( drawing 13 , F303) and the queuing of the command of Initiator A was carried out, processing for canceling the command will be performed. The art is shown in drawing 10 . If the command of Initiator A was memorized at command memory 14s in the electronic switch 3 where Initiator A is connected to Target B, all the contents by which access register 11m in a bus change control section, transmit 17g of reset output signals to the reset circuit in the abnormality Monitoring Department B in an I/O device, and reset Target ( drawing 13 , F304) B, and the queuing is carried out to the command memory in Target (R2) B from the bus change control section will be eliminated. Then, if register 11h was accessed and the command of Initiator B was memorized in command memory 15s in the electronic switch 4 where the initiator B of a normal system is connected to Target B ( drawing 13 , F305), register 11h will be accessed like the above, 15f of seizing signals will

be turned on in initiator actuation circuit 15r in an electronic switch 4, and the recurrence line of the command will be carried out to Target B ( drawing 13 , F306).

[0035] Moreover, although the input/output operation between an initiator - a target was supervised with the timer and the time-out performed a means to detect the abnormalities by the side of an initiator, in this example, this is one example, for example, also has a means to detect whether the signal of SCSI terminator power was supervised and the power source of an initiator turned off.

[0036] Furthermore as the 2nd approach, the same effectiveness can be acquired by using the abortion mechanism of a SCSI protocol for the processing which carries out the recurrence line of the command to a target from a bus transfer device by the 1st approach after publishing reset. Abortion mechanism is a function which can cancel the command which the initiator published at the target, and its either of the command in a queuing is possible for the command and target under an initiator and activation. This function is performed by the message protocol between an initiator and a target.

[0037] The 2nd approach is explained using drawing 11 and drawing 12 . Processing until it detects the abnormalities of Initiator A, it puts 16f of interrupts into a bus change control section and a bus change control section recognizes the initiator which abnormalities generated is the same as that of the aforementioned method 1. The bus change control section which detected the abnormalities of an initiator requires command abort processing of an initiator of initiator actuation circuit 12r in an electronic switch 1 by 12g of message abort demand signals (Ab1). Initiator actuation circuit 12r which received this expresses an attention signal to the bus of Target A. Since it is waiting for the message from the initiator (in this case, initiator actuation circuit 12r) which the target A which had attention expressed separated the bus from Initiator A, and expressed attention, By publishing command abort message 12t of the initiator A created in the initiator actuation circuit at Target A If command memory 14s in an electronic switch 3 is checked like said method 1 to Target B again and the command of Initiator A is memorized in the command at the time of an abnormal occurrence to Target A An abort message can be published similarly and the command in a queuing (Ab2) can be canceled ( drawing 12 ).

[0038] Since control of the bus change control section of this method is almost the same as that of said method 1, it is written together to the flows of control of drawing 13 . As shown in this Fig., this method is realizable by changing processing of steps F301-F302 into F401, and changing processing of steps F304-F306 into F402.

[0039] Since connect only one initiator to a target, it executes by proxy at a target to other initiators, a bus transfer device answers an initiator according to a SCSI protocol and a command is received when contention of a bus occurs, the bus use latency time of each initiator by the time of bus contention disappears, and each initiator can perform access to other targets.

[0040] By the inside of a bus transfer device, or having the command-queuing function which the target has conventionally, reset is published from an initiator to a target, and even when the command which was carrying out the queuing till then has eliminated, stagnation of processing by an initiator continuing waiting for the reselection from a target can be protected from a bus transfer device by re-transmitting the command.

[0041] When a bus transfer device detects the abnormalities of an initiator and the target is carrying out the queuing of the command of the initiator, reset is published from a bus transfer device to the target, queuing information is eliminated, it is re-transmitting the command with which a normal system's is not performed yet, and the reselection of the target to the initiator which abnormalities generated can be prevented.

[0042] When a bus transfer device detects the abnormalities of an initiator and the target is carrying out the queuing of the command of the initiator, the reselection of the target to the initiator which abnormalities generated can be prevented by performing cancellation processing of the command from a bus transfer device to the target.

[0043]

[Effect of the Invention] According to this invention, in a multisystem which shares one or more targets between the initiator of (1) plurality, the bus free latency time by contention of bus acquisition with the

initiator of an other system does not generate each initiator.

[0044] (2) It becomes possible to publish reset to a target in said system configuration, without affecting an other system.

[0045] (3) At said system configuration, during a target and input/output operation, even if a failure sometimes occurs and it will be in a no response condition other than this, affecting it to target access of other normal systems does not have a certain initiator.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing one example of the bus transfer device of this invention.

[Drawing 2] The system configuration Fig. showing one example of the bus transfer device of this invention.

[Drawing 3] The state diagram showing actuation of one example of this invention (1).

[Drawing 4] The state diagram showing actuation of one example of this invention (2).

[Drawing 5] The state diagram showing actuation of one example of this invention (3).

[Drawing 6] The flow chart which shows actuation of one example of this invention (1).

[Drawing 7] The state diagram showing actuation of one example of this invention (4).

[Drawing 8] The flow chart which shows actuation of one example of this invention (2).

[Drawing 9] The state diagram showing actuation of one example of this invention (5).

[Drawing 10] The state diagram showing actuation of one example of this invention (6).

[Drawing 11] The state diagram showing actuation of one example of this invention (7).

[Drawing 12] The state diagram showing actuation of one example of this invention (8).

[Drawing 13] The flow chart which shows actuation of one example of the bus transfer device of this invention (3).

[Description of Notations]

10 [ -- Electronic switches 2 and 14 / -- Electronic switches 3 and 15 / -- Electronic switches 4 and 16 / -  
 - The abnormality Monitoring Department A in an I/O device, 17 / -- The abnormality Monitoring  
 Department B in an I/O device, 1A / -- Initiator A, 1B / -- Initiator B, 2A / -- Target A, 2B / -- Target B,  
 01-04 / -- SCSI cable. ] -- A bus transfer device, 11 -- A bus change control section, 12 -- Electronic  
 switches 1 and 13

---

[Translation done.]